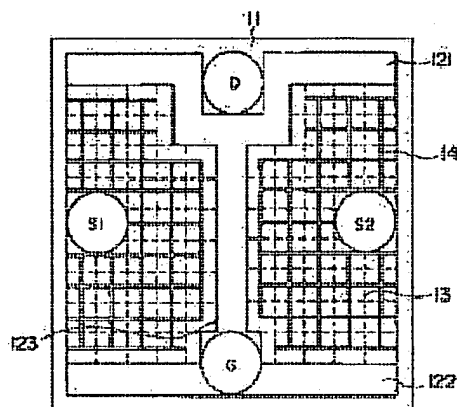


Patent number: JP8181307 (A)
Publication date: 1996-07-12
Inventor(s): HASEGAWA TAKAHIKO +
Applicant(s): NIPPON DENSO CO +
Classification:
- international: *H01L29/78; H01L29/66; (IPC1-7): H01L29/78*
- european:
Application number: JP19940323120 19941226
Priority number(s): JP19940323120 19941226

PURPOSE: To obtain a field-effect power element integrated circuit which increases the number of effective cells by effectively utilizing a chip area or which reduces the chip area by a method wherein a dead space is reduced in such a way that a metal interconnection with reference to a gate passes through the center of a chip and a gate interconnection pattern is improved.

CONSTITUTION: A field-effect power element integrated circuit is divided into both sides of a chip. A first gate metal interconnection part 121 and a second gate metal interconnection part 122 are formed. The interconnection parts 121, 122 are connected by a third gate metal interconnection part 123 which is formed so as to pass the center of the chip. When a gate interconnection pattern is improved in this manner, a chip area is utilized effectively without increasing a wiring resistance, and the number of effective cells can be increased. In addition, even by using the same number of effective cells, the chip area can be reduced.



4/14/2010 5:19 PM

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-181307

(43)公開日 平成8年(1996)7月12日

(51)Int.Cl.⁶
H 0 1 L 29/78

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78

3 0 1 W

審査請求 未請求 請求項の数1 O L (全 6 頁)

(21)出願番号 特願平6-323120

(22)出願日 平成6年(1994)12月26日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 長谷川 貴彦

愛知県刈谷市昭和町1丁目1番地 日本電

装株式会社内

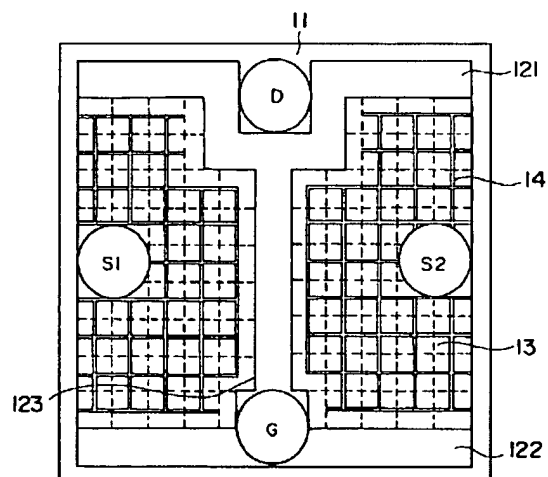
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 電界効果型パワー素子集積回路

(57)【要約】

【目的】 本発明は特にゲート配線パターンを改良してチップ面積を有効に利用して有効セル数を増加するかあるいはチップ面積を小さくし得るようにした電界効果型パワー素子集積回路を提供する。

【構成】 チップ上に形成されるゲート金属配線を有する電界効果型パワー素子集積回路において、前記ゲート金属配線は、前記チップの両側に分けて形成される第1及び第2のゲート金属配線部分と、前記チップの中央を通して形成されるもので、上記第1及び第2のゲート金属配線部分に接続された第3のゲート金属配線部分とを有してなることを特徴とする電界効果型パワー素子集積回路が提供される。



I1 : ドレイン金属配線部分

I21, I22, I23 : ゲート金属配線部分

I3 : ゲートポリシリコン配線部分

I4 : ソース金属配線部分

有効セル数 : 83 (比較用)

【特許請求の範囲】

【請求項1】 チップ上に形成されるゲート金属配線を有する電界効果型パワー素子集積回路において、前記ゲート金属配線は、前記チップの両側に分けて形成される第1及び第2のゲート金属配線部分と、前記チップの中央を通して形成されるもので、上記第1及び第2のゲート金属配線部分に接続された第3のゲート金属配線部分とを有してなることを特徴とする電界効果型パワー素子集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に係り、特にゲート配線パターンを改良してチップ面積を有効に利用して有効セル数を増加するかあるいはチップ面積を小さくし得るようにした電界効果型パワー素子集積回路に関する。

【0002】

【従来の技術】周知のように、電界効果型パワー素子集積回路、例えばパワーMOSトランジスタ等に利用されるD-MOS集積回路(MIC)は数百〜数万個のセルが並列にならんで形成されているもので、各セルのゲート、ソース、ドレインをそれぞれ相互に接続しなければならない。

【0003】この接続のための従来技術として、コストダウン、面実装を目的とした図5に示すようなベアチップのW、B(ワイヤボンダ)接続がある。これはMICの電極部と基板上に形成されたパッド間をアルミニウム等の金属ワイヤで接続するものであるが、W、B治具の挿入スペースと比較的大きなパッドのスペースを必要とするので高集積化、コストダウンには不適である。

【0004】この問題を解決する方法として、電極部に茸状のパッド(バンパ)を形成し基板上に直接搭載するF、C(フリップチップ)方式が提案されている。しかし、F、Cにした場合、放熱性や安定性のために複数(4以上)のバンパが必要とされると共に、D-MOS集積回路のようにドレイン電極が裏面にある場合、N⁺埋め込層等を介してそれを表面に持ってくる、等の理由によりチップ有効面積が減少するという問題が生じている。

【0005】そして、このような従来技術は図5(W、Bタイプ)、図3、図7(F、Cタイプ)に示すようにゲート配線はポリシリコンで、ソース配線はアルミニウム等の金属でマトリックス状に配線し、ドレインは裏面全体で接続されている。

【0006】すなわち、図5において、51はゲート金属配線部分、52はゲートポリシリコン配線部分53はソース金属配線部分であり、Sはソース配線用パッド、Gはゲート配線用パッドであり、この例における有効セル数は実際には数百〜数万個にも及ぶが後述する本発明

との比較において同一チップ面積をとるものとして比較用の数値として97である。

【0007】また、図6において、61はドレイン金属配線部分、62はゲート金属配線部分、63はゲートポリシリコン配線部分、64はソース金属配線部分であり、S1、S2はソース配線用バンパ、Gはゲート配線用バンパ、Dはドレイン配線用バンパであり、この例における有効セル数は図5の場合と同一の比較条件において68である。

【0008】また、図7は特にパワーMOSトランジスタに適用することを想定した例で、図中71は絶縁層部、72はN⁺埋め込み部分、73は金属配線部(G、D、S各部)、74はポリシリコン配線部(ゲート)、75はゲート部(G)、76はソース部(S)、77はデッドスペース、78はドレインである。

【0009】そして、この図7に示す従来例では、左右にゲート配線用の金属配線部73、73が存在すると共に、それぞれの下部にそれぞれデッドスペース77、77が存在していることもあってチップ面積の有効的な活用とはなっていないので、有効セル数を多くすることができない構造である。

【0010】ところで、上述した各例でゲート配線に用いられるポリシリコンは配線抵抗が大きいのでアルミニウム等の金属配線でチップ周囲を囲むようにしてゲート配線抵抗を下げる必要がある。

【0011】これはゲート配線抵抗が大きいと、オンオフ切り換え時に各セル間でディレイを生じて同時にオンすることができなくなり、特に高周波動作時に問題となるのを回避するためである。なお、ソース配線は金属配線を用いるので、これとの短絡を避けるためゲート配線を金属配線にすることはできない(図7参照)。

【0012】

【発明が解決しようとする課題】上述したように、D-MOS集積回路等の電界効果型パワー素子集積回路における従来の接続法では、W、Bタイプ及びF、Cタイプのいずれの場合であっても、チップ面積の有効利用化すなわち有効セル数を増加することに一定の制限があった。

【0013】そこで、本発明は以上のような点に鑑みてなされたもので、特にゲートに対する金属配線をチップの中央を通すようにしてデッドスペースを削減する如くゲート配線パターンを改良することにより、チップ面積を有効的に利用して形成し得る有効セル数の増加を図るか、または同一有効セル数であってもチップ面積を小さくすることができるようにした電界効果型パワー素子集積回路を提供することを目的としている。

【0014】

【課題を解決するための手段】本発明によると、上記課題を解決するために、チップ上に形成されるゲート金属配線を有する電界効果型パワー素子集積回路において、

前記ゲート金属配線は、前記チップの両側に分けて形成される第1及び第2のゲート金属配線部分と、前記チップの中央を通して形成されるもので、上記第1及び第2のゲート金属配線部分に接続された第3のゲート金属配線部分とを有してなることを特徴とする電界効果型パワー素子集積回路が提供される。

【0015】

【作用】本発明は、特にF、Cタイプにした場合、放熱性や安定性の点から複数のバンパが必要であること及び基板上でバンパの接続が容易である点に着目し、ゲート配線をチップ中心に通すことより配線抵抗を増やすことなくチップ面積を有効に利用して有効セル数を増加するかあるいは同一有効セル数であってもチップ面積を小さくすることができるようにしたものである。

【0016】

【実施例】以下図面を参照して本発明の実施例について説明する。図1は第1実施例としてF、Cタイプ接続に適用されるD-MOS集積回路を示している。

【0017】すなわち、図1において、11はドレイン金属配線部分、121、122、123はゲート金属配線部分、13はゲートポリシリコン配線部分、14はソース金属配線部分であり、S1、S2はソース配線用バンパ、Dはドレイン配線用バンパ、Gはゲート配線用バンパであり、有効セル数は従来と同一の比較条件で83である。

【0018】この有効セル数83は従来と同タイプのその68と比較して約20%の増加であるこれは、従来のゲート用金属配線が全周に渡って形成されていたのに対し、本発明では上下に形成するゲート金属配線部分121、122を中央を通るゲート金属配線部分123で接続する如くゲート配線パターンを改良していることによっている。

【0019】なお、本発明では各バンパの形成位置を従来のそれから45°回転した位置とすることによって、チップ面積の有効利用化を図っている。なお、チップ有効面積の単純な比較では図1の本発明は図6の従来例に比して約70%の増加であるので、有効セル数も実際には上述した20%に止まらず、さらに増加するものと予想される。

【0020】これはチップサイズが小さい程に有効となることを示している。なお、上下両側に分かれたソース配線用バンパS1、S2は図2に示すように基板上のパターンPで容易に半田付け等により接続することができる。

【0021】また、本発明の第1実施例は4バンパの時であるが6バンパやそれ以外のバンパ数の時でも有効である。図3は第2実施例としてW、Bタイプ接続に適用されるD-MOS集積回路を示している。

【0022】すなわち、図3において、311、312、313はゲート金属配線部分、32はゲートポリシ

リコン配線部分、33はソース金属配線部分であり、S1、S2はソース配線用パッドであり、有効セル数は従来と同一の比較条件で107である。

【0023】この有効セル数107は従来と同タイプのその97と比較して約10%の増加である。これは、従来のゲート用金属配線が全周に渡って形成されていたのに対し、本発明では上下に形成するゲート金属配線部分311、312を中央を通るゲート金属配線部分313で接続する如くゲート配線パターンを改良していることによっている。

【0024】なお、この実施例ではソース配線用のパッドが二つ必要となるが、大電流のMOSトランジスタ等では有効である。図4はパワーMOSトランジスタに適用した第3実施例を示している。

【0025】すなわち、図4において、41は絶縁層部、42はN⁺埋め込み部分、43は金属配線部(G、D、S各部)、44はポリシリコン配線部(ゲート)、45はゲート部(G)、46はソース部(S)、47はデッドスペース、48はドレインである。

【0026】この実施例は図7に示す従来例と比較して明らかなように、有効セル数が同一であっても、デッドスペース48が半減しているの、それだけチップ面積を小さくすることができる。なお、本発明は、D-MOS集積回路のみに限らず、IGBTを含む電界効果型パワー素子集積回路一般にも適用することが可能である。

【0027】

【発明の効果】従って、以上詳述したように本発明によれば、特にゲートに対する金属配線をチップの中央を通すようにしてデッドスペースを削減する如くゲート配線パターンを改良することにより、チップ面積を有効的に利用して形成し得る有効セル数の増加を図るか、または同一有効セル数であってもチップ面積を小さくすることができるようにした電界効果型パワー素子集積回路を提供することが可能となるものである。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す構成図。

【図2】本発明の第1実施例のソース配線を説明する図。

【図3】本発明の第2実施例を示す構成図。

【図4】本発明の第3実施例を示す構成図。

【図5】従来のW、Bタイプの例を示す構成図。

【図6】従来のF、Cタイプの例を示す構成図。

【図7】従来のパワーMOSトランジスタの例を示す構成図。

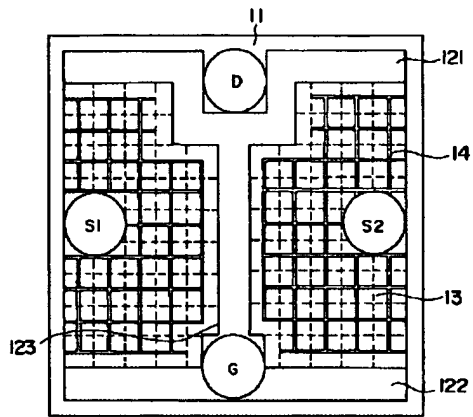
【符号の説明】

11…ドレイン金属配線部分、121、122、123…ゲート金属配線部分、13…ゲートポリシリコン配線部分、14…ソース金属配線部分、31…ゲート金属配線部分、32…ゲートポリシリコン配線部分、33…ソース金属配線部分、41…絶縁層部、42：N⁺埋め込

み部分、43…金属配線部（G、D、S各部）、44：ポリシリコン配線部（ゲート）、45…ゲート部

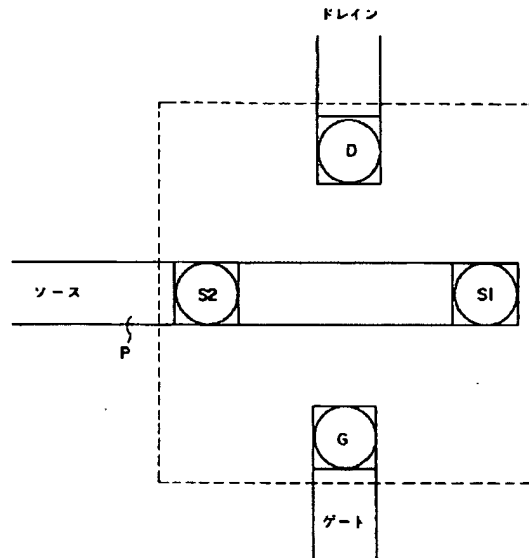
（G）、46…ソース部（S）、47…デッドスペース、48…ドレイン。

【図1】

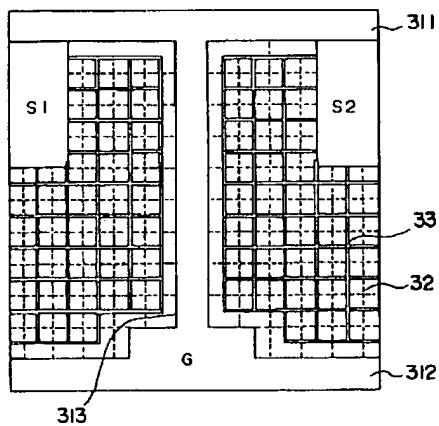


I1 : ドレイン金属配線部分
I21, I22, I23 : ゲート金属配線部分
I3 : ゲートポリシリコン配線部分
I4 : ソース金属配線部分
有効セル数 : 85 (比較用)

【図2】

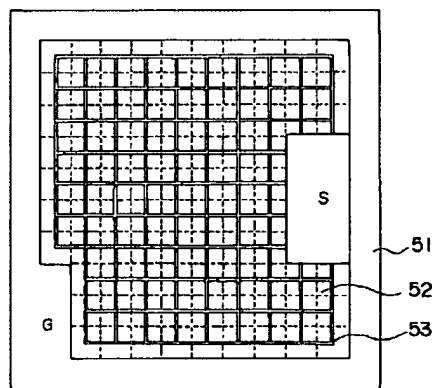


【図3】



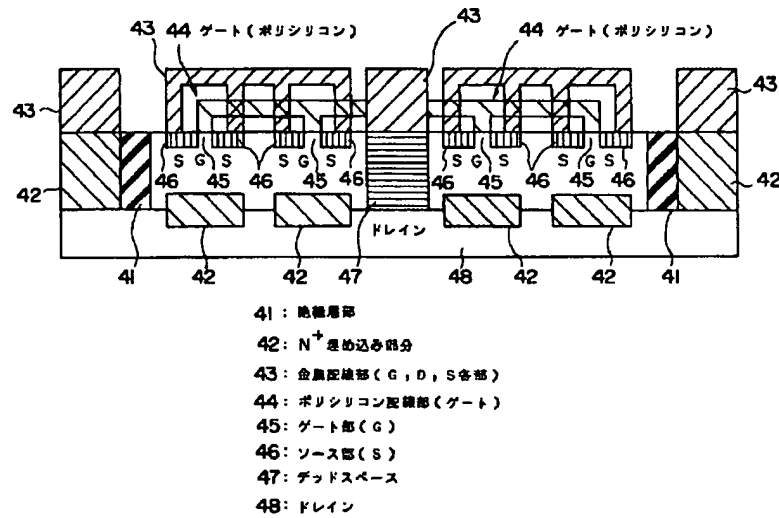
31 : ゲート金属配線部分
32 : ゲートポリシリコン配線部分
33 : ソース金属配線部分
有効セル数 : 107 (比較用)

【図5】

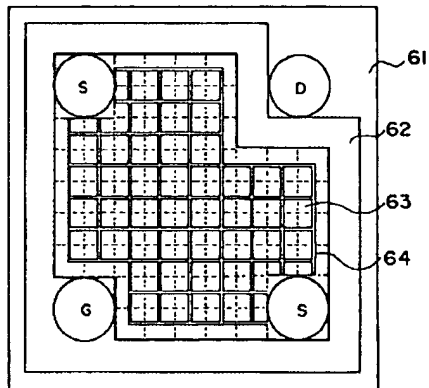


51 : ゲート金属配線部分
52 : ゲートポリシリコン配線部分
53 : ソース金属配線部分
有効セル数 : 97 (比較用)

【図4】



【図6】



有効セル数 68 (比較用)

- 71: 絶縁層部
72: N^+ 埋め込み部分
73: 金属配線部 (G, D, S 各部)
74: ポリシリコン配線部 (ゲート)
75: ゲート部 (G)
76: ソース部 (S)
77: デッドスペース
78: ドレイン